

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-152121

(43)Date of publication of application : 30.05.2000

(51)Int.Cl.

H04N 5/46
G09G 1/16
G09G 5/00
H03L 7/06
H03L 7/08
H04N 5/06
H04N 5/66
// H04N 3/22

(21)Application number : 10-323757

(71)Applicant : SONY CORP

(22)Date of filing : 13.11.1998

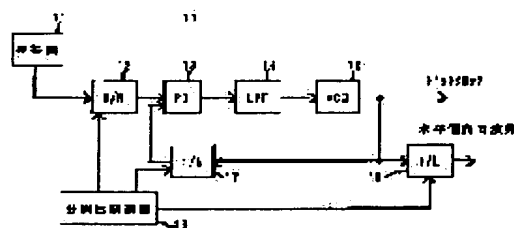
(72)Inventor : KATO MIKI

(54) CLOCK GENERATING CIRCUIT, IMAGE DISPLAY DEVICE AND METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce jitter of a dot clock generated in response to a video signal of a format of a different kind and to suppress the cost from getting higher.

SOLUTION: The clock is provided with a reference signal generating means 11 that generates a reference signal, a voltage controlled oscillator means 15 that generates a dot clock signal, a frequency divider means 17 that frequency-divides the dot clock signal, a phase comparator means 13 that detects a phase difference between the reference signal from the reference signal generating means 11 and a signal from the frequency divider means 17 to generate a control voltage to control frequency of the dot clock signal generated by the voltage controlled oscillator means 15, a frequency division ratio setting means 18 that sets a frequency division ratio of the frequency divider means 17 so that the frequency division ratio is a value divided by the greatest common divisor of number of all pixels of a video signal with a format in a horizontal direction and the number of all pixels of a video signal with other format in a horizontal direction or below, and a frequency division ratio changeover means 18 that applies switching control to the set frequency division ratio in response to the format of the video signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any changes caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The clock generation circuit which generates a different dot clock signal according to the format of a video signal characterized by providing the following. A reference signal generation means to generate a reference signal. An armature-voltage control oscillation means to generate a dot clock signal. The dividing means which carries out dividing of the dot clock signal from the above-mentioned armature-voltage control oscillation means. The phase contrast of the reference signal from the above-mentioned reference signal generation means and the signal from the above-mentioned dividing means is detected. A phase-comparison means to generate the control voltage which controls the frequency of the dot clock signal generated with the above-mentioned armature-voltage control oscillation means. A division-ratio setting means to set up so that it may carry out to below the value that divided the division ratio in the above-mentioned dividing means by the greatest common measure of the total number of pixels in the horizontal direction of the video signal of a format of one, and the total number of pixels in the horizontal direction of the video signal of other formats. Division-ratio means for switching which carry out change control of the division ratio set up with the above-mentioned division-ratio setting means according to the format of the above-mentioned video signal.

[Claim 2] An input means to input two or more video signals with which formats differ, So that it may carry out to below the value divided by the greatest common measure of the total number of pixels in the horizontal direction of the video signal of a format of one inputted into the above-mentioned input means, and the total number of pixels in the horizontal direction of the video signal of other formats. Image display equipment characterized by having a conversion means to change a video signal according to the dot clock signal generated using the set-up division ratio, and a display means to display a picture according to the above-mentioned dot clock signal using the video signal from the above-mentioned conversion means.

[Claim 3] Image display equipment according to claim 2 characterized by having the clock generation circuit characterized by providing the following. The above-mentioned conversion means is a reference signal generation means to generate a reference signal. An armature-voltage control oscillation means to generate a dot clock signal. The dividing means which carries out dividing of the dot clock signal from the above-mentioned armature-voltage control oscillation means. The phase contrast of the reference signal from the above-mentioned reference signal generation means and the signal from the above-mentioned dividing means is detected. A phase-comparison means to generate the control voltage which controls the frequency of the dot clock signal generated with the above-mentioned armature-voltage control oscillation means. A division-ratio setting means to set up so that it may carry out to below the value that divided the division ratio in the above-mentioned dividing means by the greatest common measure of the total number of pixels in the horizontal direction of the video signal of a format of one, and the total number of pixels in the horizontal direction of the video signal of other formats. Division-ratio means for switching which carry out change control of the division ratio set up with the above-mentioned division-ratio setting means according to the format of the above-mentioned video signal.

[Claim 4] Image display equipment according to claim 2 characterized by having a means to

compare each number of vertical lines which two or more video signals inputted into the above-mentioned input means show, to adjust the number of vertical lines which 1 or two or more video signals show, and to control a horizontal scanning frequency.

[Claim 5] The image display method characterized by displaying a picture according to the above-mentioned dot clock signal using the video signal which changed and changed the video signal according to the dot clock signal generated using the division ratio set up so that it might carry out to below the value divided by the greatest common measure of the total number of pixels in the horizontal direction of the video signal of a format of one, and the total number of pixels in the horizontal direction of the video signal of other formats.

[Claim 6] The image display method according to claim 5 characterized by comparing each number of vertical lines which two or more video signals show, adjusting the number of vertical lines which 1 or two or more video signals show, and controlling a horizontal scanning frequency.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the clock generation circuit which generates the dot clock signal for displaying the picture which two or more video signals with which formats differ show, image display equipment equipped with this clock generation circuit, and a method.

[0002]

[Description of the Prior Art] There are HD (high-definition) method, an NTSC (National Television System Committee) **** method, etc. which are a television system which realizes high resolution by 1000 or more horizontal scanning lines as a format form adopted in order to display a picture as compared with the method of the 525-625 conventional scanning lines.

[0003] The above-mentioned HD signal and an NTSC **** signal are video signals of a format as shown in drawing 4 and drawing 5 . That is, as HD signal is shown in drawing 4 , the total number of vertical lines is 1125 lines/frame, and as an NTSC **** signal is shown in drawing 5 , the total number of vertical lines is 1050 lines/frame. Since it is decided by the total number of vertical lines and vertical scanning frequency per field, the horizontal scanning frequency of 60Hz, then an HD signal and an NTSC **** signal is set to HD signal: $1125/2 \times 60 = 33.75\text{kHz}$ NTSC X signal: $1050/2 \times 60 = 31.5\text{kHz}$ in a vertical scanning frequency.

[0004] Thus, since the deviation system corresponding to each horizontal scanning frequency is needed when horizontal scanning frequencies differ, as shown in drawing 6 , unifying a horizontal scanning frequency to 33.75kHz by making the number of vertical lines of an NTSC **** signal increase to 1125 is performed. That is, even if it is the case where HD signal or an NTSC **** signal is inputted, a video signal is displayed for a horizontal scanning frequency as constant value of 33.75kHz. In addition, the NTSC **** signal to which the number of vertical lines was made to expand as mentioned above is called an NTSC **** perpendicular expansion signal.

[0005] Moreover, in HD signal shown in drawing 3 , the ratio with 2200 full-level pixels to 1920 level effective pixels ($1920/2200$) is set to about 0.87. On the other hand, in the NTSC **** signal shown in drawing 5 , the ratio with 1716 full-level pixels to 1440 level effective pixels ($1440/1716$) is set to about 0.84. Since the number of level effective pixels / the number of full-level pixels in HD signal are larger than the number of level effective pixels / the number of full-level pixels in an NTSC **** signal here, there will be many effective pixels which the direction of HD signal occupies in a full-level pixel. This means that the HD signal of the ratio of lithograph race time is smaller than an NTSC **** signal.

[0006] Since it corresponds to this, the deviation system which operates according to HD signal and an NTSC **** signal has caused the increase in cost resulting from a difference of lithograph race time, the number of full-level pixels of HD signal is made to increase to this, and the ratio of the lithograph race time of HD signal is made of the same grade as an NTSC **** signal.

[0007] in this case, the number of full-level pixels of needed HD signal -- the number of 1920- /full-level pixels -- it is set to 2280 from $=0.84$ Thus, if the ratio of lithograph race time is taken into consideration, it will become the video signal of a format as shows the number of full-level

pixels to drawing 7 set to 2280. The video signal which applied to the format shown in this drawing 7 correspondingly hereafter is called HD horizontal-retrace-line expansion signal.

[0008] Here, as a TV apparatus which unified horizontal deflection frequency into 33.75kHz, the picture which HD signal as shown in drawing 4, an NTSC **** perpendicular expansion signal as shown in drawing 6, and HD horizontal-retrace-line expansion signal as shown in drawing 7 show will be displayed.

[0009] In three formats, the above-mentioned HD signal, an NTSC **** perpendicular expansion signal, and HD horizontal-retrace-line expansion signal, the frequency of a dot clock required for each comes to be shown below. In the following table 1, a dot clock is a signal which has the frequency carried out the several times as many full-level pixel of a horizontal scanning frequency as this.

[0010]

[Table 1]

	出力フォーマット	水平偏向周波数	ドットクロック
HD	1920(2200)×1080(1125)	33.75kHz	74.25MHz
NTSC垂直拡大	1440(1716)×960(1125)	33.75kHz	57.915MHz
HD水平帰線拡大	1920(2280)×1080(1125)	33.75kHz	76.95MHz

[0011] Since horizontal deflection frequency is the same value in 33.75kHz, when generating a dot clock by the NTSC perpendicular expansion signal and HD signal, using a clock generation circuit, a horizontal scanning frequency is carried out a several times as many full-level pixel as this, is multiplied, and a dot clock is generated.

[0012]

[Problem(s) to be Solved by the Invention] However, the PLL circuit with which the conventional television is equipped had many which are shown in drawing 8 (a) - (c). That is, the PLL circuit 100 constituted as shown in drawing 8 is switching the division ratio in a counting-down circuit 101 according to a signal format, and it is constituted so that the dot clock according to the video signal of each format may be generated. That is, when generating the dot clock when displaying HD signal in this PLL circuit 100, as it is shown in drawing 8 (a) and shown in drawing 8 (c) when generating the dot clock when a division ratio being switched to 1716 as shown in drawing 8 (b), when generating the dot clock when a division ratio being switched to 2200 and displaying an NTSC **** perpendicular expansion signal, and displaying HD horizontal-retrace-line expansion signal, a division ratio is switched to 2280. Change control of the division ratio is carried out in switching from the outside at this time 101, for example, a counting-down circuit, and a signal being inputted into it.

[0013] Consequently, from a 33.75kHz reference signal, when displaying HD signal, a 74.25MHz dot clock is generated, this PLL circuit 100 generates a 57.195MHz dot clock, when displaying an NTSC **** perpendicular expansion signal, and when displaying HD horizontal-retrace-line expansion signal, it generates a 76.95MHz dot clock.

[0014] However, in the PLL circuit 100 shown in above-mentioned drawing 8, since the division ratio in a counting-down circuit 101 is high, a jitter will occur mostly in the generated dot clock. Moreover, the PLL circuit 100 shown in drawing 8 has the frequency of the reference signal inputted into a phase comparator 102 as low as 33.75kHz. For this reason, in this PLL circuit 100, it is impossible to generate a reference signal using a crystal oscillator. Then, in order to generate the 33.75kHz stable reference signal, a crystal oscillator generates a signal with a frequency of 10MHz - about 25MHz, and dividing of the oscillated signal concerned is carried

out. Moreover, in the PLL circuit 100, it is made as [generate / horizontal deflection frequency] by passing the counting-down circuit of further others for a dot clock. Here, the division ratio L of other counting-down circuits which generate the signal which shows horizontal deflection frequency is determined based on the number of lines in all horizontal directions.

[0015] Below, in a PLL circuit, an example which determines a division ratio N corresponding to the video signal of the sorts of formats, HD signal, an NTSC **** perpendicular expansion signal, and HD horizontal-retrace-line expansion signal, is explained.

[0016] If its attention is paid to the number of full-level pixels of an NTSC **** perpendicular expansion signal, HD signal, and HD horizontal-retrace-line expansion signal, it will be set to 1717, 2200, and 2280, respectively. And when this is decomposed into the prime factor, it is $1716 = 2 \times 2 \times 3 \times 11 \times 13$. (formula 1)

$2200 = 2 \times 2 \times 2 \times 5 \times 5 \times 11$ (Formula 2)

$2280 = 2 \times 2 \times 2 \times 3 \times 5 \times 19$ (Formula 3)

It becomes. And in a PLL circuit, a division ratio N becomes one of the combination of the prime factor of the above-mentioned formula 1 - a formula 3.

[0017] In order to use the same VCO in the PLL circuit which generates the dot clock for displaying an NTSC **** perpendicular expansion signal, HD signal, and HD horizontal-retrace-line expansion signal, let the number excluding the greatest common measure from the above-mentioned formula 1 - the formula 3 be a division ratio N. And the division ratio N in an NTSC **** perpendicular expansion signal is set to $3 \times 11 \times 13 = 429$, the division ratio in HD signal is set to $2 \times 5 \times 5 \times 11 = 550$, and the division ratio in HD horizontal-retrace-line expansion signal is set to $2 \times 3 \times 5 \times 19 = 570$. And the PLL circuit 110 of the division ratio determined in this way comes to be shown in drawing 9 (a) - (c). Moreover, a division ratio L is made with 2200, 1716, and 2280, respectively so that a division ratio may be determined according to the number of vertical lines and dot clock in each format and the PLL circuit 110 shown in this drawing 9 may output the signal of the horizontal deflection frequency which is 33.75kHz.

[0018] However, in the PLL circuit 100 as shown in drawing 9, the division ratio when generating the signal still inputted into a phase comparator will be high, and the jitter of frequency of the reference signal further inputted into a phase comparator of a dot clock will increase low with 135kHz. Therefore, although HD signal for displaying a highly precise picture is dealt with, it is inconvenient in the PLL circuit 110 shown in drawing 9.

[0019] In order to reduce the jitter of the above-mentioned dot clock, a division ratio N is made or less into 100, and the PLL circuit 120 which designed the frequency of the reference signal inputted into a phase comparison as MHz order is shown in drawing 10.

[0020] In the PLL circuit 120 shown in this drawing 10, a division ratio N is set to 39 in the NTSC **** perpendicular expansion signal shown in (b), a division ratio N is set to 55 in HD signal shown in (a), and a division ratio N is set to 57 in HD horizontal-retrace-line expansion signal shown in (c). It is necessary to set frequency of the reference signal when generating a dot clock [in / 1.35MHz and an NTSC **** perpendicular expansion signal / for the frequency of the reference signal when generating the dot clock in HD signal and HD horizontal-retrace-line expansion signal] to 1.485MHz in the PLL circuit 120 shown in this drawing 10.

[0021] However, it is difficult for a common crystal oscillator to generate the frequency of 1.35MHz of the reference signal when generating the dot clock in HD signal, and the frequency of 1.485MHz of the reference signal when generating the dot clock in an NTSC **** perpendicular expansion signal, and two crystal oscillators are needed. Therefore, even if it makes a division ratio N low, it will be necessary to form two crystal oscillators, and cost will become high.

[0022] Then, this invention is proposed in view of the actual condition which was mentioned above, and it aims at offering a clock generation circuit, image display equipment, and a method cost does not become high while it reduces the jitter of the dot clock generated according to the video signal of a format of a different kind.

[0023]

[Means for Solving the Problem] The clock generation circuit concerning this invention which solves an above-mentioned technical problem A reference signal generation means to generate a reference signal, and an armature-voltage control oscillation means to generate a dot clock

signal, The dividing means which carries out dividing of the dot clock signal from an armature-voltage control oscillation means, The phase contrast of the reference signal from a reference signal generation means and the signal from a dividing means is detected. A phase-comparison means to generate the control voltage which controls the frequency of the dot clock signal generated with an armature-voltage control oscillation means, A division-ratio setting means to set up so that it may carry out to below the value that divided the division ratio in a dividing means by the greatest common measure of the total number of pixels in the horizontal direction of the video signal of a format of one, and the total number of pixels in the horizontal direction of the video signal of other formats, It is characterized by having the division-ratio means for switching which carry out change control of the division ratio set up with the division-ratio setting means according to the format of a video signal.

[0024] Since such a clock generation circuit is equipped with a division-ratio setting means to set up so that it may carry out to below the value that divided the division ratio in a dividing means by the greatest common measure of the total number of pixels in the horizontal direction of the video signal of a format of one, and the total number of pixels in the horizontal direction of the video signal of other formats, it changes the horizontal number of pixels of the picture which a video signal shows, sets up a division ratio, and generates a dot clock.

[0025] Moreover, the image display equipment and the method concerning this invention are characterized by displaying a picture using the video signal which changed and changed the video signal according to the dot clock signal generated using the division ratio set up so that it might carry out to below the value divided by the greatest common measure of the total number of pixels in the horizontal direction of the video signal of a format of one, and the total number of pixels in the horizontal direction of the video signal of other formats.

[0026]

[Embodiments of the Invention] Hereafter, it explains in detail, referring to a drawing about the form of operation of this invention.

[0027] this invention is applied to image display equipment 1 as shown in drawing 1 . This image display equipment 1 is equipped with the Y/C separation section 2 into which the video signal which contains a luminance signal (Y), a chrominance signal (C), and a synchronizing signal from the exterior is inputted. This Y/C separation section 2 performs processing which divides the inputted video signal into a luminance signal (Y) and a chrominance signal (C). And this Y/C separation section 2 outputs a chrominance signal (C) to the chroma decoder 4 while outputting a luminance signal (Y) to the synchronizing separation section 3.

[0028] The NTSC **** perpendicular expansion signal of a format as shown in above-mention d drawing 6 as a video signal inputted into this Y/C separation section 2, HD signal shown in drawing 4 , and HD horizontal-retrace-line expansion signal shown in drawing 7 are inputted. As for these NTSC **** perpendicular expansion signals, HD signal, and HD horizontal-retrace-line xpansion signal, formats differ, respectively, and image display equipment 1 performs processing for displaying a picture according to the format of the inputted video signal.

[0029] As for the synchronizing separation section 3, the luminance signal (Y) and synchronizing signal from the Y/C separation section 2 are inputted. This synchronizing separation section 3 is performing processing which separates a luminance signal (Y) and a synchronizing signal, and makes a synchronizing signal a horizontal synchronizing signal and a vertical synchronizing signal. And this synchronizing separation section 3 outputs a horizontal synchronizing signal and a vertical synchronizing signal to the format conversion section 5 with a luminance signal (Y).

[0030] The chroma decoder 4 generates a color-difference signal (Cb) and a color-difference signal (Cr) using the chrominance signal (C) from the Y/C separation section 2. And this chroma decoder 4 outputs a color-difference signal (Cb) and a color-difference signal (Cr) to the format conversion section 5.

[0031] The format conversion section 5 changes from the exterior the video signal of a different format inputted into the Y/C separation section 2. Thereby, the format conversion section 5 generates a luminance signal (Y), a color-difference signal (Cb), a color-difference signal (Cr), a horizontal synchronizing signal, a vertical synchronizing signal, and a dot clock, and outputs th m to a deviation / the CRT section 6.

[0032] Moreover, the clock generation circuit 10 as shown in drawing 2 is built in this format conversion section 5. In addition, about operation of the clock generation circuit 10 built in this format conversion section 5, it mentions later.

[0033] A deviation / the CRT section 6 operates so that a picture may be displayed based on the luminance signal (Y) from the format conversion section 5, a color-difference signal (Cb), and a color-difference signal (Cr). At this time, using a horizontal synchronizing signal, a vertical synchronizing signal, and a dot clock, a deviation / the CRT section 6 operates so that a picture may be displayed according to each format.

[0034] The clock generation circuit 10 shown in drawing 2 built in the above-mentioned format conversion section 5 is equipped with a crystal oscillator 11. This crystal oscillator 11 generates the reference signal which has the frequency of 10-25MHz order by impressing voltage to crystal. And this crystal oscillator 11 outputs the generated reference signal to a counting-down circuit 12.

[0035] A counting-down circuit 12 is carrying out dividing of the reference signal from a crystal oscillator 11, for example, let it be a 1.35MHz reference signal. At this time, a counting-down circuit 12 carries out dividing of the reference signal from a crystal oscillator 11 by the division ratio M specified by the division-ratio control section 18, and outputs it to a phase comparator 13.

[0036] While a reference signal is inputted from a counting-down circuit 12, as for a phase comparator 13, a signal is inputted from a counting-down circuit 17. This phase comparator 13 acquires phase contrast by detecting the phase of a reference signal and the signal from a counting-down circuit 17, and outputs the signal according to the phase contrast concerned to LPF14.

[0037] LPF (Low Pass Filter)14 performs filtering processing to the signal according to the phase contrast from a phase comparator 13, and outputs it to VCO15.

[0038] VCO (: voltage controlled oscillator)15 generates a dot clock based on the signal from LPF14. Consequently, this VCO15 generates the dot clock according to the format of the video signal inputted into the Y/C separation section 2, and outputs it to a deviation / the CRT section 6. Moreover, this VCO15 outputs the generated dot clock to a counting-down circuit 16 and a counting-down circuit 17.

[0039] About the dot clock from VCO15, a counting-down circuit 16 is carrying out dividing by the division ratio L specified by the division-ratio control section 18, generates the signal of horizontal deflection frequency and outputs it to a deviation / the CRT section 6.

[0040] About the dot clock from VCO15, a counting-down circuit 17 is carrying out dividing by the division ratio N specified by the division-ratio control section 18, and generates the signal of the same frequency as the above-mentioned reference signal. And a counting-down circuit 17 is inputted into a phase comparator 13 as a 1.35MHz signal.

[0041] The division-ratio control section 18 generates the control signal which switches the division ratio of a counting-down circuit 12, a counting-down circuit 16, and a counting-down circuit 17 according to the format of the video signal inputted into the above-mentioned Y/C separation section 2. When changing the division ratio N of a counting-down circuit 17 according to the format of a video signal, this division-ratio control section 18 sets up a division ratio N so that it may carry out to below the value divided by the greatest common measure of the total number of pixels in the horizontal direction of the video signal of a format of one, and the number of full-level pixels in the horizontal direction of the video signal of other formats.

[0042] That is, when an NTSC **** perpendicular expansion signal is inputted into the Y/C separation section 2, this division-ratio control section 18 makes 1716 full-level pixels shown in drawing 4 increase, and sets up a division ratio N as 1720. If the number [in / each format of a video signal / at this time / in the division-ratio control section 18] of full-level pixels is decomposed into the prime factor, HD signal, an NTSC **** perpendicular expansion signal, and HD horizontal-retrace-line expansion signal will be set to $2200 = 2 \times 2 \times 2 \times 5 \times 5 \times 11 \times 1716 = 2 \times 2 \times 2 \times 5 \times 432280 = 2 \times 2 \times 2 \times 3 \times 5 \times 19$, respectively. At this time, the greatest common measure of the number of full-level pixels in each format is set to 40 ($2 \times 2 \times 2 \times 5$), and the division-ratio control section 18 sets up each division ratio N so that it may become below the value that

divided the above-mentioned number of full-level pixels by the greatest common measure concerned.

[0043] Consequently, the division-ratio control section 18 sets the division ratio N when generating the dot clock of an NTSC **** perpendicular expansion signal to 43, as shown in drawing 3 (b), and it generates the dot clock which has the frequency of 58.05MHz. Moreover, the division-ratio control section 18 sets the division ratio N when generating the dot clock of HD signal to 55 (5×11), as shown in drawing 3 (a), and it generates the dot clock which has the frequency of 74.25MHz. Furthermore, the division-ratio control section 18 sets up the division ratio N when generating the dot clock of HD horizontal-retrace-line expansion signal with 57 (3×19), as shown in drawing 3 (c), and it generates the dot clock which has the frequency of 76.95MHz.

[0044] And the division-ratio control section 18 generates a control signal which switches the division ratio of a counting-down circuit 17, and controls the division ratio of counting-down circuits 12, 16, and 17 while it judges the format of the video signal concerned, when a video signal is inputted into the Y/C separation section 2.

[0045] The clock generation circuit 10 where the division ratio N of a counting-down circuit 17 is controlled by such division-ratio control section 18 inputs the reference signal of 21.6MHz(es) from a crystal oscillator 11 into a phase comparator 13 as a reference signal which has the frequency of 1.35MHz by making the division ratio M of a counting-down circuit 12 into $1/16$, as shown in drawing 3. Moreover, the clock generation circuit 10 changes, as the division ratio N of a counting-down circuit 17 shows drawing 3 (a) - drawing 3 (c) according to the control signal from the division-ratio control section 18 according to each format, and it generates a dot clock.

[0046] Furthermore, the clock generation circuit 10 is that change the number of vertical lines and a division ratio L is set up by the division-ratio control section 18, and generates the signal which the division ratio L of a counting-down circuit 16 changes with 2200, 1720, and 2280 according to each format, respectively, and shows the horizontal deflection frequency of 33.75kHz.

[0047] Consequently, since it displays by the 58.05MHz bigger dot clock than dot clock 57.915MHz originally displayed in an NTSC **** perpendicular expansion signal, the horizontal number of pixels displayed in above-mentioned deviation / CRT section 6 will display many pixels from the number of pixels displayed by the original dot clock.

[0048] Therefore, when video signals with which formats differ, such as an NTSC **** perpendicular expansion signal, HD signal, and HD horizontal-retrace-line expansion signal, are inputted according to this clock generation circuit 10, the greatest common measure of the pixel in each format is computed by adjusting the number of full-level pixels, and a division ratio N is set up. Therefore, according to this clock generation circuit 10, a division ratio N can be made small and the jitter of a dot clock can be made small as a result.

[0049] Furthermore, since according to this clock generation circuit 10 a division ratio is set up so that the number of full-level pixels when displaying may be adjusted, while being able to set up a division ratio small, the reference signal inputted into a phase comparator 13 can be highly set up with 1.35MHz.

[0050] Furthermore, according to this clock generation circuit 10, even if it is the video signal of a different format, a dot clock is generable again using the common crystal oscillator 11.

[0051] In addition, although only 4 made the number of full-level pixels which an NTSC **** perpendicular expansion signal shows increase when setting up a division ratio N by the division-ratio control section 18 of the clock generation circuit 10 mentioned above, if it thinks from the precision of deflecting system, of course, it is the level which is completely satisfactory.

[0052] Moreover, when generating the counting-down circuit 16 which generates the signal of a horizontal scanning frequency, like the case where the above-mentioned number of full-level pixels is changed, the division-ratio control section 18 may change the number of vertical lines, and may choose the suitable division ratio L.

[0053] In addition, although an example which generates a dot clock in case HD signal, an NTSC **** perpendicular expansion signal, and HD horizontal-retrace-line expansion signal are

inputted into the Y/C separation section 2 and display the video signal of a picture format of the plurality concerned in explanation of above-mentioned image display equipment 1 was explained. Even if it is other picture formats, the number of full-level pixels can be changed, it can set up, and a dot clock can be generated so that a division ratio N may be made small.

[0054]

[Effect of the Invention] As explained to the detail above, the clock generation circuit concerning this invention changes the horizontal number of pixels of the picture which the inputted video signal shows, and a dot clock is calculated. Since it has the division-ratio control means which set up the division ratio when carrying out dividing with the above-mentioned dividing means according to the dot clock concerned, and control the division ratio in the above-mentioned dividing means, the horizontal number of pixels of the picture which a video signal shows can be changed, a division ratio can be set up, and a dot clock can be generated. For example, it can set up so that the division ratio when generating a dot clock according to the video signal of a format of a different kind may be made low, and the jitter of the dot clock to generate can be reduced. A manufacturing cost seems moreover, according to this clock generation circuit, to be able to use the common source of dispatch and not to become high, even if it is the case where the dot clock about the video signal of each format is generated.

[0055] Moreover, the image display equipment and the method concerning this invention. A horizontal scanning frequency is the same and a video signal is changed according to the dot clock generated using the division ratio which the horizontal number of pixels which two or more video signals with which the numbers of level pixels differ show was changed, and set it up. Since a picture is displayed using the changed video signal, it can set up so that the division ratio when generating a dot clock according to the video signal of a format of a kind different, for example may be made low, and the jitter of the dot clock to generate can be reduced.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the image display equipment which applied this invention.

[Drawing 2] It is the block diagram showing the clock generation circuit with which the image display equipment which applied this invention is equipped.

[Drawing 3] It is drawing for explaining the clock generation circuit where change control of the division ratio was carried out by the division-ratio control section, is a clock generation circuit in case (a) generates the dot clock about HD signal, is a clock generation circuit in case (b) generates the dot clock about an NTSC **** perpendicular expansion signal, and is a clock generation circuit in case (c) generates the dot clock about HD horizontal-retrace-line expansion signal.

[Drawing 4] It is drawing for explaining HD signal.

[Drawing 5] It is drawing for explaining an NTSC **** signal.

[Drawing 6] It is drawing for explaining an NTSC **** perpendicular expansion signal.

[Drawing 7] It is drawing for explaining HD horizontal-retrace-line expansion signal.

[Drawing 8] It is drawing for explaining the clock generation circuit in the former, is a clock generation circuit in case (a) generates the dot clock about HD signal, is a clock generation circuit in case (b) generates the dot clock about an NTSC **** perpendicular expansion signal, and is a clock generation circuit in case (c) generates the dot clock about HD horizontal-retrace-line expansion signal.

[Drawing 9] It is drawing for explaining other clock generation circuits in the former, is a clock generation circuit in case (a) generates the dot clock about HD signal, is a clock generation circuit in case (b) generates the dot clock about an NTSC **** perpendicular expansion signal, and is a clock generation circuit in case (c) generates the dot clock about HD horizontal-retrace-line expansion signal.

[Drawing 10] It is drawing for explaining the clock generation circuit of further others in the former, is a clock generation circuit in case (a) generates the dot clock about HD signal, is a clock generation circuit in case (b) generates the dot clock about an NTSC **** perpendicular expansion signal, and is a clock generation circuit in case (c) generates the dot clock about HD horizontal-retrace-line expansion signal.

[Description of Notations]

1 Image Display Equipment, 5 Format Conversion Section, 11 Crystal Oscillator, 13 Phase Comparator, 15 VCO, 12, 16, 17 Counting-down Circuit

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-152121

(P2000-152121A)

(43)公開日 平成12年5月30日(2000.5.30)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 4 N 5/46		H 0 4 N 5/46	5 C 0 2 0
G 0 9 G 1/16		G 0 9 G 1/16	M 5 C 0 2 5
5/00	5 1 0	5/00	5 1 0 S 5 C 0 5 8
	5 2 0		5 2 0 W 5 C 0 6 8
	5 5 0		5 5 0 H 5 C 0 8 2

審査請求 未請求 請求項の数 6 O L (全 9 頁) 最終頁に続く

(21)出願番号 特願平10-323757

(22)出願日 平成10年11月13日(1998.11.13)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 加藤 美樹

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人 100067736

弁理士 小池 晃 (外2名)

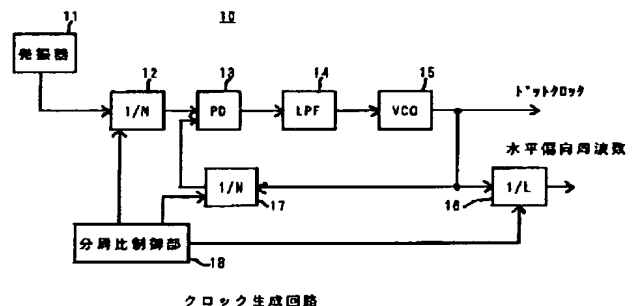
最終頁に続く

(54)【発明の名称】 クロック生成回路、画像表示装置及び方法

(57)【要約】

【課題】 異なる種類のフォーマットの映像信号に応じて生成するドットクロックのジッタを低減するとともに、コストが高くなることを抑制する。

【解決手段】 基準信号を生成する基準信号生成手段11と、ドットクロック信号を生成する電圧制御発振手段15と、ドットクロック信号を分周する分周手段17と、基準信号生成手段11からの基準信号と分周手段17からの信号との位相差を検出して、電圧制御発振手段15で生成するドットクロック信号の周波数を制御する制御電圧を生成する位相比較手段13と、分周手段17における分周比を、一のフォーマットの映像信号の水平方向における全画素数と他のフォーマットの映像信号の水平方向における全画素数との最大公約数で割った値以下とするように設定する分周比設定手段18と、設定された分周比を、映像信号のフォーマットに応じて切換制御する分周比切換手段18とを備える。



【請求項1】

映像信号のフォーマットに応じて異なるドットクロック信号を生成するクロック生成回路において、

基準信号を生成する基準信号生成手段と、

ドットクロック信号を生成する電圧制御発振手段と、

上記電圧制御発振手段からのドットクロック信号を分周する分周手段と、

上記基準信号生成手段からの基準信号と上記分周手段からの信号との位相差を検出して、上記電圧制御発振手段で生成するドットクロック信号の周波数を制御する制御電圧を生成する位相比較手段と、

上記分周手段における分周比を、一のフォーマットの映像信号の水平方向における全画素数と他のフォーマットの映像信号の水平方向における全画素数との最大公約数で割った値以下とするように設定する分周比設定手段と、

上記分周比設定手段で設定された分周比を、上記映像信号のフォーマットに応じて切替制御する分周比切替手段とを備えることを特徴とするクロック生成回路。

【請求項2】 フォーマットが異なる2以上の映像信号を入力する入力手段と、

上記入力手段に入力された一のフォーマットの映像信号の水平方向における全画素数と他のフォーマットの映像信号の水平方向における全画素数との最大公約数で割った値以下とするように設定された分周比を用いて生成したドットクロック信号に従って映像信号を変換する変換手段と、

上記変換手段からの映像信号を用い上記ドットクロック信号に従って画像を表示する表示手段とを備えることを特徴とする画像表示装置。

【請求項3】 上記変換手段は、

基準信号を生成する基準信号生成手段と、ドットクロック信号を生成する電圧制御発振手段と、上記電圧制御発振手段からのドットクロック信号を分周する分周手段と、上記基準信号生成手段からの基準信号と上記分周手段からの信号との位相差を検出して、上記電圧制御発振手段で生成するドットクロック信号の周波数を制御する制御電圧を生成する位相比較手段と、上記分周手段における分周比を、一のフォーマットの映像信号の水平方向における全画素数と他のフォーマットの映像信号の水平方向における全画素数との最大公約数で割った値以下とするように設定する分周比設定手段と、上記分周比設定手段で設定された分周比を、上記映像信号のフォーマットに応じて切替制御する分周比切替手段とを有するクロック生成回路を備えることを特徴とする請求項2記載の画像表示装置。

【請求項4】 上記入力手段に入力された2以上の映像信号が示す各垂直ライン数を比較し、1又は2以上の映像信号が示す垂直ライン数を調整して水平走査周波数を

制御する手段を備えることを特徴とする請求項2記載の画像表示装置。

【請求項5】 一のフォーマットの映像信号の水平方向における全画素数と他のフォーマットの映像信号の水平方向における全画素数との最大公約数で割った値以下とするように設定された分周比を用いて生成したドットクロック信号に従って映像信号を変換し、変換した映像信号を用い上記ドットクロック信号に従って画像を表示することを特徴とする画像表示方法。

【請求項6】 2以上の映像信号が示す各垂直ライン数を比較し、1又は2以上の映像信号が示す垂直ライン数を調整して水平走査周波数を制御することを特徴とする請求項5記載の画像表示方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フォーマットが異なる複数の映像信号が示す画像を表示するためのドットクロック信号を生成するクロック生成回路、このクロック生成回路を備えた画像表示装置及び方法に関する。

【0002】

【従来の技術】画像を表示するために採用されているフォーマット形式としては、従来の走査線525～625本の方式と比較して1000本以上の水平走査線による高解像度を実現するテレビジョン方式であるHD (high-definition) 方式やNTSC (National Television System Committee) 倍速方式等がある。

【0003】上記HD信号及びNTSC倍速信号は、図4及び図5に示すようなフォーマットの映像信号である。すなわち、HD信号は図4に示すように全垂直ライン数が1125ライン/フレームであり、NTSC倍速信号は図5に示すように全垂直ライン数が1050ライン/フレームである。フィールド当たりの全垂直ライン数と垂直走査周波数によって決まるから垂直走査周波数を60Hzとすれば、HD信号とNTSC倍速信号の水平走査周波数は、

HD信号： $1125 / 2 \times 60 = 33.75 \text{ kHz}$

NTSC倍速信号： $1050 / 2 \times 60 = 31.5 \text{ kHz}$

となる。

【0004】このように水平走査周波数が異なると、それぞれの水平走査周波数に対応した偏向システムが必要となるため、図6に示すように、NTSC倍速信号の垂直ライン数を1125に増加させることで水平走査周波数を33.75kHzに統合することが行われている。すなわち、HD信号又はNTSC倍速信号が入力された場合であっても水平走査周波数を33.75kHzの一定値として映像信号を表示する。なお、上述のように垂直ライン数を拡大させたNTSC倍速信号を、NTSC倍速垂直拡大信号と称する。

【0005】また、図3に示したHD信号において、水

水平有効画素数1920に対する全水平画素数2200の比(1920/2200)は、約0.87となる。一方、図5に示したNTSC倍速信号において、水平有効画素数1440に対する全水平画素数1716の比(1440/1716)は、約0.84となる。ここで、HD信号における水平有効画素数/全水平画素数が、NTSC倍速信号における水平有効画素数/全水平画素数よりも大きいことから、HD信号の方が全水平画素中に占める有効画素の数が多いことになる。これは、HD信号の方がNTSC倍速信号よりもリトレース時間の比が小さいことを意味している。

【0006】このことに対応するため、HD信号及びNTSC倍速信号に従って動作する偏向システムは、リトレース時間の相違に起因するコスト増加を招いており、これに対してHD信号の全水平画素数を増加させて、HD信号のリトレース時間の比がNTSC倍速信号と同程度にされている。

【0007】この場合に必要となるHD信号の全水平画素数は、 $1920 / \text{全水平画素数} = 0.84$ より、22

80となる。このようにリトレース時間の比を考慮すると、全水平画素数を2280とした図7に示すようなフォーマットの映像信号となる。以下、この図7に示したフォーマットに準じた映像信号をHD水平帰線拡大信号と称する。

【0008】ここで、水平偏向周波数を33.75kHzに統一したテレビジョン装置としては、図4に示したようなHD信号、図6に示したようなNTSC倍速垂直拡大信号、図7に示したようなHD水平帰線拡大信号が示す画像を表示することになる。

【0009】上記HD信号、NTSC倍速垂直拡大信号及びHD水平帰線拡大信号の3つのフォーマットにおいて、それぞれに必要なドットクロックの周波数は、以下に示すようになる。下記表1において、ドットクロックとは、水平走査周波数の全水平画素数倍した周波数を有する信号である。

【0010】

【表1】

	出力フォーマット	水平偏向周波数	ドットクロック
HD	1920(2200)×1080(1125)	33.75kHz	74.25MHz
NTSC垂直拡大	1440(1716)×960(1125)	33.75kHz	57.915MHz
HD水平帰線拡大	1920(2280)×1080(1125)	33.75kHz	76.95MHz

【0011】NTSC垂直拡大信号とHD信号で水平偏向周波数が33.75kHzで同じ値であることから、ドットクロックを生成するときには、クロック生成回路を用いて水平走査周波数を全水平画素数倍して逡倍してドットクロックを生成する。

【0012】

【発明が解決しようとする課題】しかし、従来のテレビジョンに備えられているPLL回路は、図8(a)～(c)に示すものが多かった。すなわち、図8に示すように構成されたPLL回路100は、分周器101における分周比を信号フォーマットに応じて切り換えることで、各フォーマットの映像信号に応じたドットクロックを生成するように構成されている。すなわち、このPLL回路100では、HD信号を表示するときのドットクロックを生成するときには図8(a)に示すように分周比が2200に切り換えられ、NTSC倍速垂直拡大信号を表示するときのドットクロックを生成するときには図8(b)に示すように分周比が1716に切り換えられ、HD水平帰線拡大信号を表示するときのドットクロックを生成するときには図8(c)に示すように分周比

が2280に切り換えられる。このとき、例えば、分周器101に外部から切り換え信号が入力されることで、分周比が切替制御される。

【0013】その結果、このPLL回路100は、33.75kHzの基準信号から、HD信号を表示するときには74.25MHzのドットクロックを生成し、NTSC倍速垂直拡大信号を表示するときには57.195MHzのドットクロックを生成し、HD水平帰線拡大信号を表示するときには76.95MHzのドットクロックを生成する。

【0014】しかし、上述の図8に示したPLL回路100では、分周器101における分周比が高いため、生成したドットクロックにジッタが多く発生してしまう。また、図8に示したPLL回路100は、位相比較器102に入力する基準信号の周波数が33.75kHzと低い。このため、このPLL回路100において、水晶発振器を用いて基準信号を生成することは不可能である。そこで、安定した33.75kHzの基準信号を生成するには、例えば10MHz～25MHz程度の周波数の信号を水晶発振器で生成し、当該発振した信号を分

用する。また、PLL回路100では、ドットクロックを更に他の分周器を通過させることにより、水平偏向周波数を生成するようになされている。ここで、水平偏向周波数を示す信号を生成する他の分周器の分周比Lは、全水平方向におけるライン数に基づいて決定している。

【0015】つぎに、PLL回路において、HD信号、NTSC倍速垂直拡大信号及びHD水平帰線拡大信号の3種のフォーマットの映像信号に対応して分周比Nを決定する一例について説明する。

【0016】NTSC倍速垂直拡大信号、HD信号及びHD水平帰線拡大信号の全画面素数に着目すると、それぞれ1717、2200、2280となる。そして、これを素数に分解すると、

$$1716 = 2 \times 3 \times 11 \times 13 \quad (\text{式1})$$

$$2200 = 2 \times 2 \times 5 \times 5 \times 11 \quad (\text{式2})$$

$$2280 = 2 \times 2 \times 3 \times 5 \times 19 \quad (\text{式3})$$

となる。そして、PLL回路において、分周比Nは上記式1～式3の素数の組み合わせのどれかになる。

【0017】NTSC倍速垂直拡大信号、HD信号及びHD水平帰線拡大信号を表示するためのドットクロックを生成するPLL回路で、同一の発振器を用いるためには、上記式1～式3から最大公約数を除いた数を分周比Nとする。そして、NTSC倍速垂直拡大信号における分周比Nは $3 \times 11 \times 13 = 429$ となり、HD信号における分周比は $2 \times 5 \times 5 \times 11 = 550$ となり、HD水平帰線拡大信号における分周比は $2 \times 3 \times 5 \times 19 = 570$ となる。そして、このように決定した分周比のPLL回路110は、図9(a)～(c)に示すようになる。また、この図9に示したPLL回路110は、各フォーマットにおける垂直ライン数及びドットクロックに応じて分周比が決定され33.75kHzの水平偏向周波数の信号を出力するように、それぞれ分周比Lが2200、1716、2280となされる。

【0018】しかし、図9に示したようなPLL回路100では、依然位相比較器に入力する信号を生成するときの分周比が高く、更に位相比較器に入力される基準信号の周波数も135kHzと低くドットクロックのジッタが多くなってしまふ。従って、図9に示したPLL回路110では、高精度の画像を表示するためのHD信号を取り扱うのに不都合である。

【0019】上記ドットクロックのジッタを低減するために、分周比Nを100以下とし、位相比較に入力する基準信号の周波数をMHzオーダとして設計したPLL回路120を図10に示す。

【0020】この図10に示すPLL回路120では、(b)に示すNTSC倍速垂直拡大信号においては分周比Nを39とし、(a)に示すHD信号においては分周比Nを55とし、(c)に示すHD水平帰線拡大信号においては分周比Nを57とする。この図10に示すPLL回路120では、HD信号とHD水平帰線拡大信号に

おけるドットクロックを生成するときの基準信号の周波数を1.35MHz、NTSC倍速垂直拡大信号におけるドットクロックを生成するときの基準信号の周波数を1.485MHzとする必要がある。

【0021】しかし、HD信号におけるドットクロックを生成するときの基準信号の周波数1.35MHzと、NTSC倍速垂直拡大信号におけるドットクロックを生成するときの基準信号の周波数1.485MHzとを共通の水晶発振器で生成するのが困難であり、2つの水晶発振器が必要となる。したがって、分周比Nを低くしても、水晶発振器を2つ設ける必要があり、コストが高くなってしまふ。

【0022】そこで、本発明は、上述したような実情に鑑みて提案されたものであり、異なる種類のフォーマットの映像信号に応じて生成するドットクロックのジッタを低減するとともに、コストが高くなるようなことがないクロック生成回路、画像表示装置及び方法を提供することを目的とする。

【0023】

【課題を解決するための手段】上述の課題を解決する本発明に係るクロック生成回路は、基準信号を生成する基準信号生成手段と、ドットクロック信号を生成する電圧制御発振手段と、電圧制御発振手段からのドットクロック信号を分周する分周手段と、基準信号生成手段からの基準信号と分周手段からの信号との位相差を検出して、電圧制御発振手段で生成するドットクロック信号の周波数を制御する制御電圧を生成する位相比較手段と、分周手段における分周比を、一のフォーマットの映像信号の水平方向における全画面素数と他のフォーマットの映像信号の水平方向における全画面素数との最大公約数で割った値以下とするように設定する分周比設定手段と、分周比設定手段で設定された分周比を、映像信号のフォーマットに応じて切換制御する分周比切換手段とを備えることを特徴とするものである。

【0024】このようなクロック生成回路は、分周手段における分周比を、一のフォーマットの映像信号の水平方向における全画面素数と他のフォーマットの映像信号の水平方向における全画面素数との最大公約数で割った値以下とするように設定する分周比設定手段を備えるので、映像信号が示す画像の水平方向の画面素数を変化させて分周比を設定してドットクロックを生成する。

【0025】また、本発明に係る画像表示装置及び方法は、一のフォーマットの映像信号の水平方向における全画面素数と他のフォーマットの映像信号の水平方向における全画面素数との最大公約数で割った値以下とするように設定された分周比を用いて生成したドットクロック信号に従って映像信号を変換し、変換した映像信号を用いて画像を表示することを特徴とする。

【0026】

【発明の実施の形態】以下、本発明の実施の形態について

て図面を参照しながら詳細に説明する。

【0027】本発明は、例えば図1に示すような画像表示装置1に適用される。この画像表示装置1は、外部から輝度信号(Y)、色信号(C)及び同期信号を含む映像信号が入力されるY/C分離部2を備える。このY/C分離部2は、入力された映像信号を輝度信号(Y)と色信号(C)とに分離する処理を行う。そして、このY/C分離部2は、輝度信号(Y)を同期分離部3に出力するとともに、色信号(C)をクロマデコーダ4に出力する。

【0028】このY/C分離部2に入力される映像信号としては、上述の図6に示したようなフォーマットのNTSC倍速垂直拡大信号、図4に示したHD信号、図7に示したHD水平帰線拡大信号が入力される。これらのNTSC倍速垂直拡大信号、HD信号、HD水平帰線拡大信号はそれぞれフォーマットが異なっており、画像表示装置1は、入力された映像信号のフォーマットに応じて画像を表示するための処理を行う。

【0029】同期分離部3は、Y/C分離部2からの輝度信号(Y)及び同期信号が入力される。この同期分離部3は、輝度信号(Y)と同期信号とを分離する処理を行うことで、同期信号を水平同期信号と垂直同期信号とする。そして、この同期分離部3は、フォーマット変換部5に輝度信号(Y)とともに、水平同期信号及び垂直同期信号を出力する。

【0030】クロマデコーダ4は、Y/C分離部2からの色信号(C)を用いて色差信号(Cb)及び色差信号(Cr)を生成する。そして、このクロマデコーダ4は、色差信号(Cb)及び色差信号(Cr)をフォーマット変換部5に出力する。

【0031】フォーマット変換部5は、外部からY/C分離部2に入力された異なるフォーマットの映像信号を変換する。これにより、フォーマット変換部5は、輝度信号(Y)、色差信号(Cb)、色差信号(Cr)、水平同期信号、垂直同期信号及びドットクロックを生成して偏向/CRT部6に出力する。

【0032】また、このフォーマット変換部5には、図2に示すようなクロック生成回路10が内蔵されている。なお、このフォーマット変換部5に内蔵されたクロック生成回路10の動作については後述する。

【0033】偏向/CRT部6は、フォーマット変換部5からの輝度信号(Y)、色差信号(Cb)、色差信号(Cr)に基づいて画像を表示するように動作する。このとき、偏向/CRT部6は、水平同期信号、垂直同期信号及びドットクロックを用いて、各フォーマットに従って画像を表示するように動作する。

【0034】上記フォーマット変換部5に内蔵された図2に示すクロック生成回路10は、水晶発振器11を備える。この水晶発振器11は、水晶に電圧を印加することで10～25MHzオーダの周波数を有する基準信号

を生成する。そして、この水晶発振器11は、生成した基準信号を分周器12に出力する。

【0035】分周器12は、水晶発振器11からの基準信号を分周することで、例えば、35MHzの基準信号とする。このとき、分周器12は、分周比制御部18で指定された分周比Mで水晶発振器11からの基準信号を分周して位相比較器13に出力する。

【0036】位相比較器13は、分周器12から基準信号が入力されるとともに、分周器17から信号が入力される。この位相比較器13は、基準信号と、分周器17からの信号との位相を検出することで位相差を得て、当該位相差に応じた信号をLPF14に出力する。

【0037】LPF(Low Pass Filter)14は、位相比較器13からの位相差に応じた信号にフィルタリング処理を施してVCO15に出力する。

【0038】VCO(:電圧制御発振器)15は、LPF14からの信号に基づいてドットクロックを生成する。その結果、このVCO15は、Y/C分離部2に入力された映像信号のフォーマットに応じたドットクロックを生成して偏向/CRT部6に出力する。また、このVCO15は、生成したドットクロックを分周器16及び分周器17に出力する。

【0039】分周器16は、VCO15からのドットクロックについて、分周比制御部18で指定された分周比Lで分周することで、水平偏向周波数の信号を生成して、偏向/CRT部6に出力する。

【0040】分周器17は、VCO15からのドットクロックについて、分周比制御部18で指定された分周比Nで分周することで、上記基準信号と同じ周波数の信号を生成する。そして、分周器17は、例えば、35MHzの信号として位相比較器13に入力する。

【0041】分周比制御部18は、上記Y/C分離部2に入力された映像信号のフォーマットに応じて分周器12、分周器16及び分周器17の分周比を切り換える制御信号を生成する。この分周比制御部18は、映像信号のフォーマットに応じて分周器17の分周比Nを変化させるとき、一のフォーマットの映像信号の水平方向における全画素数と他のフォーマットの映像信号の水平方向における全水平画素数との最大公約数で割った値以下とするように分周比Nを設定する。

【0042】すなわち、この分周比制御部18は、Y/C分離部2にNTSC倍速垂直拡大信号が入力されたときには、図4に示した全水平画素数1716を増加させて1720として分周比Nを設定する。このとき、分周比制御部18は、映像信号の各フォーマットにおける全水平画素数を素数に分解すると、HD信号、NTSC倍速垂直拡大信号、HD水平帰線拡大信号はそれぞれ

$$2200 = 2 \times 2 \times 5 \times 5 \times 11$$

$$1716 = 2 \times 2 \times 5 \times 43$$

$$2280 = 2 \times 2 \times 3 \times 5 \times 19$$

である。このとき、分周比制御部18は、各フォーマットにおける全水平画素数の最大公約数が40 ($2 \times 2 \times 2 \times 5$) となり各分周比Nを、当該最大公約数で上記全水平画素数を割った値以下となるように設定する。

【0043】この結果、分周比制御部18は、図3(b)に示すようにNTSC倍速垂直拡大信号のドットクロックを生成するときの分周比Nを43とし、58.05MHzの周波数を有するドットクロックを生成する。また、分周比制御部18は、図3(a)に示すようにHD信号のドットクロックを生成するときの分周比Nを55 (5×11) とし、74.25MHzの周波数を有するドットクロックを生成する。更に、分周比制御部18は、図3(c)に示すようにHD水平帰線拡大信号のドットクロックを生成するときの分周比Nを57 (3×19) と設定し、76.95MHzの周波数を有するドットクロックを生成する。

【0044】そして、分周比制御部18は、Y/C分離部2に映像信号が入力されたときには、当該映像信号のフォーマットを判断するとともに、分周器17の分周比を切り換えるような制御信号を生成して、分周器12、16、17の分周比を制御する。

【0045】このような分周比制御部18により分周器17の分周比Nが制御されるクロック生成回路10は、図3に示すように、分周器12の分周比Mを1/16とすることで水晶発振器11からの21.6MHzの基準信号を1.35MHzの周波数を有する基準信号として位相比較器13に入力する。また、クロック生成回路10は、各フォーマットに応じて分周比制御部18からの制御信号に応じて分周器17の分周比Nが図3(a)～図3(c)に示すように変化されてドットクロックを生成する。

【0046】更に、クロック生成回路10は、垂直ライン数を変化させて分周比制御部18により分周比Lが設定されることで、各フォーマットに応じて分周器16の分周比Lがそれぞれ2200、1720、2280と変化されて33.75kHzの水平偏向周波数を示す信号を生成する。

【0047】この結果、NTSC倍速垂直拡大信号においては本来表示するドットクロック57.915MHzよりも大きな58.05MHzのドットクロックで表示することから、上記偏向/CRT部6で表示する水平方向の画素数は、本来のドットクロックで表示する画素数より多くの画素を表示することになる。

【0048】したがって、このクロック生成回路10によれば、NTSC倍速垂直拡大信号、HD信号、HD水平帰線拡大信号等のフォーマットの異なる映像信号が入力されたとき、全水平画素数を調整して、各フォーマットにおける画素の最大公約数を算出して分周比Nを設定する。従って、このクロック生成回路10によれば、分周比Nを小さくすることができ、結果的にドットクロッ

クのジッタを小さくすることができる。

【0049】更に、このクロック生成回路10によれば、表示するときの全水平画素数を調整するように分周比を設定するので、分周比を小さく設定することができるとともに位相比較器13に入力する基準信号を1.35MHzと高く設定することができる。

【0050】更にまた、このクロック生成回路10によれば、異なるフォーマットの映像信号であっても、共通の水晶発振器11を用いてドットクロックを生成することができる。

【0051】なお、上述したクロック生成回路10の分周比制御部18で分周比Nを設定するとき、NTSC倍速垂直拡大信号が示す全水平画素数を4だけ増加させたが、偏向系の精度から考えると全く問題のないレベルであることは勿論である。

【0052】また、分周比制御部18は、水平走査周波数の信号を生成する分周器16を生成するときにおいても、上述の全水平画素数を変化させた場合と同様に、垂直ライン数を変化させて適当な分周比Lを選択しても良い。

【0053】なお、上述の画像表示装置1の説明においては、HD信号、NTSC倍速垂直拡大信号、HD水平帰線拡大信号がY/C分離部2に入力され、当該複数の画像フォーマットの映像信号を表示するときのドットクロックを生成する一例について説明したが、他の画像フォーマットであっても、分周比Nを小さくするように全水平画素数を変化させて設定してドットクロックを生成することができる。

【0054】

【発明の効果】以上詳細に説明したように、本発明に係るクロック生成回路は、入力された映像信号が示す画像の水平方向の画素数を変化させてドットクロックを演算し、当該ドットクロックに応じて上記分周手段で分周するときの分周比を設定し、上記分周手段における分周比を制御する分周比制御手段を備えるので、映像信号が示す画像の水平方向の画素数を変化させて分周比を設定してドットクロックを生成することができ、例えば異なる種類のフォーマットの映像信号に応じてドットクロックを生成するときの分周比を低くするように設定することができ、生成するドットクロックのジッタを低減することができる。また、このクロック生成回路によれば、各フォーマットの映像信号についてのドットクロックを生成する場合であっても共通の発信源を用いることができ、製造コストが高くなるようなことがない。

【0055】また、本発明に係る画像表示装置及び方法は、水平走査周波数が同一で水平画素数が異なる2以上の映像信号が示す水平方向の画素数を変化させて設定した分周比を用いて生成したドットクロックに従って映像信号を変換し、変換した映像信号を用いて画像を表示するので、例えば異なる種類のフォーマットの映像信号に

定じてドットクロックを生成するときの分周比を低くするように設定することができ、生成するドットクロックのジッタを低減することができる。

【図面の簡単な説明】

【図1】本発明を適用した画像表示装置を示すブロック図である。

【図2】本発明を適用した画像表示装置に備えられるクロック生成回路を示すブロック図である。

【図3】分周比制御部により分周比が切替制御されたクロック生成回路について説明するための図であり、

(a) がHD信号についてのドットクロックを生成するときのクロック生成回路であり、(b) がNTSC倍速垂直拡大信号についてのドットクロックを生成するときのクロック生成回路であり、(c) がHD水平帰線拡大信号についてのドットクロックを生成するときのクロック生成回路である。

【図4】HD信号について説明するための図である。

【図5】NTSC倍速信号について説明するための図である。

【図6】NTSC倍速垂直拡大信号について説明するための図である。

【図7】HD水平帰線拡大信号について説明するための図である。

【図8】従来におけるクロック生成回路について説明す

るための図であり、(a) がHD信号についてのドットクロックを生成するときのクロック生成回路であり、

(b) がNTSC倍速垂直拡大信号についてのドットクロックを生成するときのクロック生成回路であり、

(c) がHD水平帰線拡大信号についてのドットクロックを生成するときのクロック生成回路である。

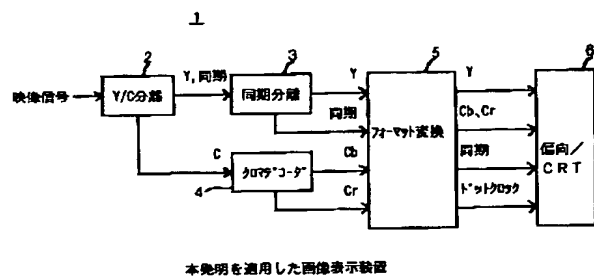
【図9】従来における他のクロック生成回路について説明するための図であり、(a) がHD信号についてのドットクロックを生成するときのクロック生成回路であり、(b) がNTSC倍速垂直拡大信号についてのドットクロックを生成するときのクロック生成回路であり、(c) がHD水平帰線拡大信号についてのドットクロックを生成するときのクロック生成回路である。

【図10】従来における更に他のクロック生成回路について説明するための図であり、(a) がHD信号についてのドットクロックを生成するときのクロック生成回路であり、(b) がNTSC倍速垂直拡大信号についてのドットクロックを生成するときのクロック生成回路であり、(c) がHD水平帰線拡大信号についてのドットクロックを生成するときのクロック生成回路である。

【符号の説明】

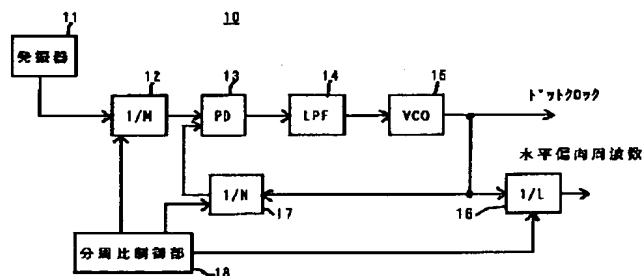
1 画像表示装置、5 フォーマット変換部、11 水晶発振器、13 位相比較器、15 VCO、12、16、17 分周器

【図1】



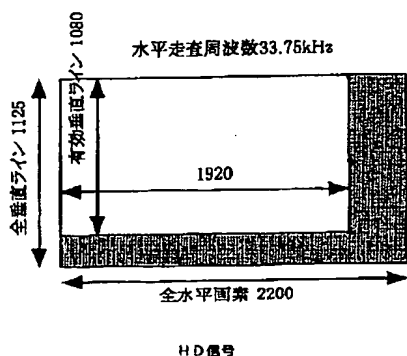
本発明を適用した画像表示装置

【図2】



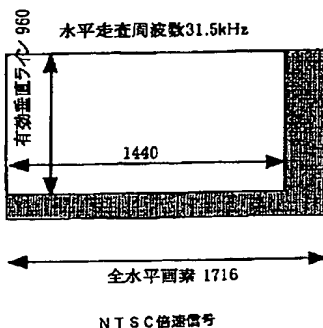
クロック生成回路

【図4】



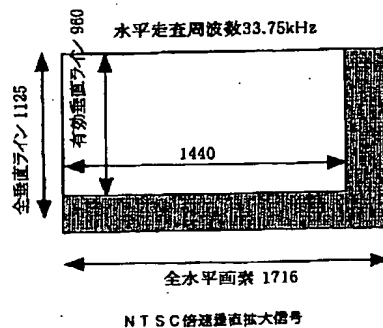
HD信号

【図5】



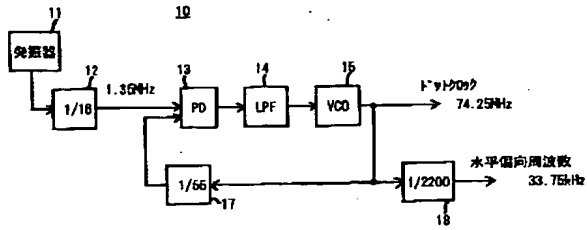
NTSC倍速信号

【図6】

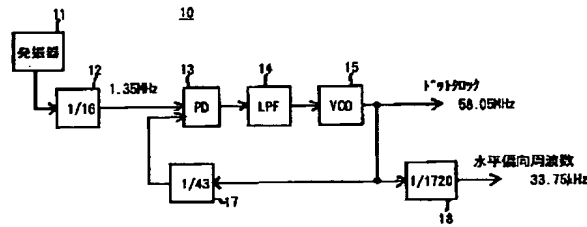


NTSC倍速垂直拡大信号

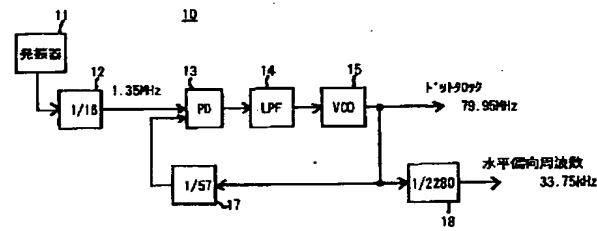
【図 3】



(a) HD信号

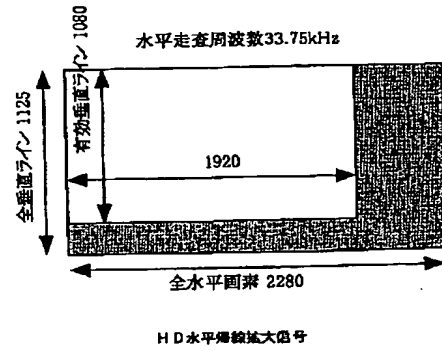


(b) NTSC倍速垂直拡大信号

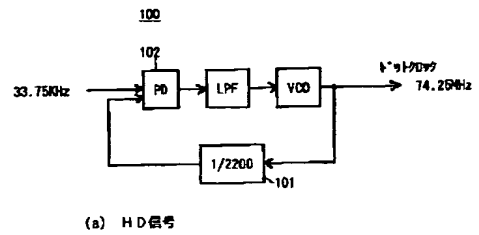


(c) HD水平角拡大信号

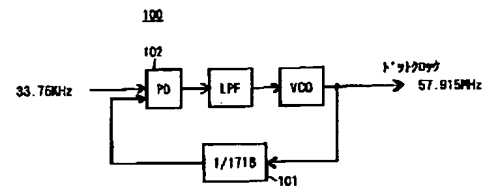
【図 7】



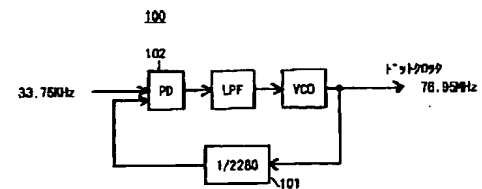
【図 8】



(a) HD信号

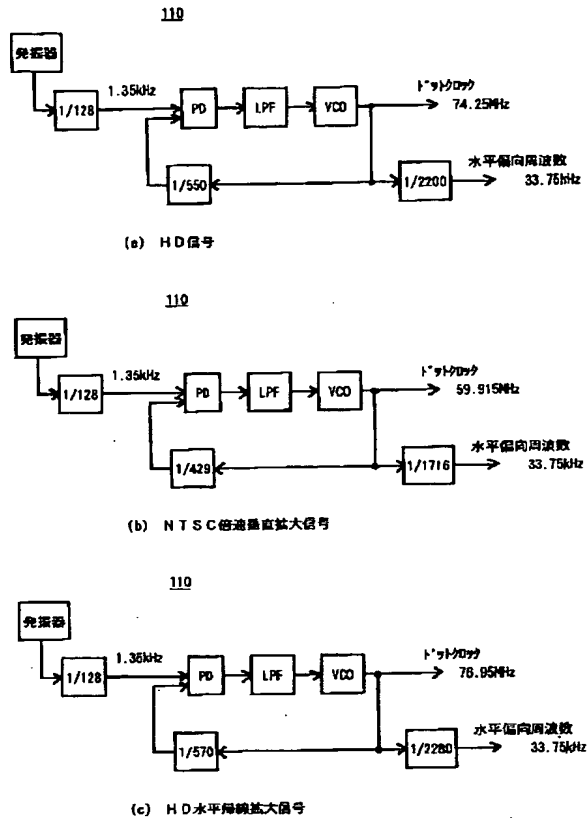


(b) NTSC倍速垂直拡大信号

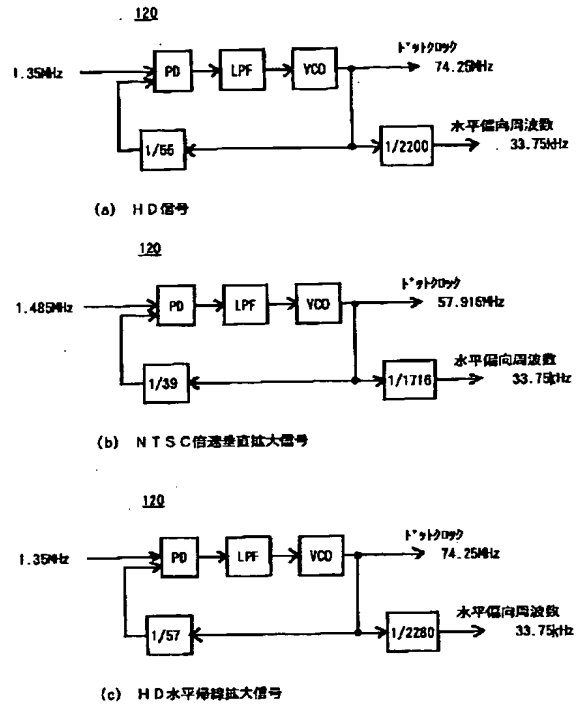


(c) HD水平角拡大信号

【図 9】



【図 10】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テ-マ-コ-ド (参考)

H O 3 L 7/06

H O 4 N 5/06

Z 5 J 1 0 6

7/08

5/66

B

H O 4 N 5/06

3/22

A

5/66

H O 3 L 7/06

A

// H O 4 N 3/22

7/08

N

F タ-ム (参考) 5C020 AA04 AA05 AA35 CA11 CA13
CA15

5C025 AA30 BA02 BA20 CA08

5C058 BA04 BA25 BB08 BB10 BB25

5C068 AA11 BA04 BA27 HA03 HB06

LA05

5C082 AA02 AA39 BA34 BA41 BB03

BC03 BC16 BD01 CA81 CA84

CB01 DA76 MM06

5J106 AA04 BB04 CC02 CC15 CC21

CC38 CC53 DD23 GG09 HH01

JJ07 KK25